

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **56056648 A**(43) Date of publication of application: **18.05.81**

(51) Int. Cl.

H01L 21/76
H01L 21/94
H01L 29/04

(21) Application number: **54133252**(22) Date of filing: **15.10.79**(71) Applicant: **MATSUSHITA ELECTRIC IND CO LTD**

(72) Inventor:
KUBOTA MASABUMI
NAGANO KAZUTOSHI
ONAKA SEIJI

(54) **MANUFACTURE OF SEMICONDUCTOR DEVICE**

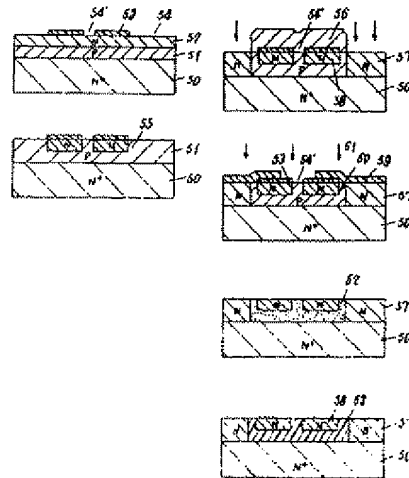
to allow a large carrier mobility, thus obtaining such device as is high in density and performance.

(57) Abstract:

COPYRIGHT: (C)1981,JPO&Japio

PURPOSE: To obtain the device fine and high in performance by a method wherein a P layer surrounded by an N layer is provided on an N⁺ type substrate, an N type island layer formed in the P layer, which is covered selectively with HF resisting film, thus made porous and insulated, and the surface of the N type island is thereby flattened to remove a crystal strain.

CONSTITUTION: A P layer 51 and N layer 52 are subjected to epitaxial formation on an N⁺ type substrate 50, and the N layer 52 is changed to the P layer 51 through B diffusion by means of two layers of oxidized film and nitrified film. Next, an N layer 57 and a part of peripheral P layer 60 and N layer 58 are covered with a nitrified film mask 59, and a light 61 is irradiated thereto to anodizing. A porosity beings from an opening 54' and develops quick sideways under the N type island 58, thus producing a uniform porous layer 62. Then, it is changed to an oxidized film 63 in a short time through heat treatment in an oxidized atmosphere, thus the N layer 58 is isolated. In this case the surface of the N layer 58 is flat to accept a fine working thereon, a crystal of the N layer 58 has little strain



⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭56—56648

⑪ Int. Cl.³
H 01 L 21/76
21/94
29/04

識別記号
庁内整理番号
6426—5F
7739—5F
7514—5F

⑬ 公開 昭和56年(1981)5月18日

発明の数 1
審査請求 未請求

(全 5 頁)

⑭ 半導体装置の製造方法

門真市大字門真1006番地松下電
器産業株式会社内

⑮ 特 願 昭54—133252

⑯ 発 明 者 大仲清司

⑰ 出 願 昭54(1979)10月15日

門真市大字門真1006番地松下電
器産業株式会社内

⑱ 発 明 者 久保田正文
門真市大字門真1006番地松下電
器産業株式会社内

⑲ 出 願 人 松下電器産業株式会社
門真市大字門真1006番地

⑳ 発 明 者 長野数利

㉑ 代 理 人 弁理士 中尾敏男 外1名

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

- (1) N型導電型半導体基板上に形成されたP型導電型半導体層上にN型島領域を形成する工程と、前記P型導電型半導体層の少なくとも一部に前記N型導電型半導体基板に達するN型導電型領域を形成する工程と、前記N型導電型領域と前記N型導電型島領域の間にはさまれた前記P型導電型半導体層の表面を含んだ領域に耐フッ化水素酸性の被膜を形成する工程と、前記P型導電型半導体層を多孔質化する工程と、前記多孔質化した領域を絶縁物に変質する工程を含むことを特徴とする半導体装置の製造方法。
- (2) 特許請求の範囲第1項記載の半導体装置の製造方法において、N型導電型半導体基板に達するN型導電型領域のN型不純物濃度がN型導電型半導体基板の濃度よりも低いことを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

本発明は複数の島領域が互いに絶縁分離される半導体装置の製造方法に関する。

近年、集積回路の高密度化が進むとともにゲート当りの遅延時間の短縮、低消費電力化が大きな流れとなっている。特に、後者を達成するために、浮遊容量が小さく、リーク電流の小さい絶縁分離された島領域に能動部分を形成する技術(例えばSilicon on Sapphire技術など)が注目をあびており、このような技術の一つとして多孔質シリコンを用いた絶縁分離法が例えば特願昭54—133371号等で提案されている。

本発明は、多孔質シリコンを用いた絶縁分離構造を製造するにあたってキャリア移動度が大きくしかも絶縁特性の極めて良好な構造を実現する製造方法を提供するものである。

第1図A～Eは従来からの絶縁分離法により集積回路用基板を構成する場合の工程図の一例を示したものである。

まずn型シリコン基板1上にP型層2、N型層

3ページ

3を順次エピタキシャル成長する(第1図A、B)。次に熱酸化してN型層3の表面にシリコン酸化膜4を形成し、通常の写真食刻により拡散窓5を開孔する(同図C)。その後、熱拡散またはイオン打込み等によって、拡散窓5からホウ素等のP型不純物を拡散し、N型エピタキシャル層3を横切ってP型エピタキシャル層2に達するようなP型不純物領域6を形成する。その結果、側面および底面をP型領域2、6に囲まれたn型島領域7が形成される(同図D)。

次に上記の基板を電解液たとえばフッ化水素酸水溶液に浸漬して陽極処理を施し、前記P型領域2、6のみを多孔質シリコン8、9に変換する(同図E)。さらに上記基板を酸化性雰囲気中で熱処理すると多孔質シリコン8、9は容易に酸化膜10、11となり底面、側面を酸化膜10、11で絶縁分離された複数のn型島領域7を有する集積回路用基板が構成される(同図F)。

このようにして得られたN型島領域7には、種々の半導体装置、例えばJ-FET、 I^2L 、MOS

4ページ

などを形成することができ、それらの半導体装置を形成するために必要であれば、あらかじめ上記N型島領域内にN型及びP型領域を形成しておくことも可能である。このような方法で形成された絶縁分離された島の集合から成る集積回路は、リーク電流が少なく浮遊容量が小さいため、高速でしかも低消費電力という特徴を有している。

しかしながら、上述した従来方法によるとP型領域2、6の多孔質化は不均一に生じ、その結果、多孔質シリコン領域8、9を酸化した際に、酸化膜10の膜厚が不均一となり、ひいてはN型島領域7に歪を与えることが実証的に確かめられた。このような歪は、半導体装置をこの島領域に形成した場合、キャリア移動度 μ の減少、結晶欠陥によるリーク電流増加などをもたらし、素子の高速性、低消費電力性などの特徴を著しく悪化させる原因となっていた。このような問題に鑑みてなされたのが本発明である。

このような多孔質シリコン領域が不均一になる現象について、第2図A、Bを用いて説明する。

5ページ

第2図Aは第1図DからEへの過渡的な状態を模式的に示したものである。多孔質化は、通常フッ化水素酸系水溶液の中に浸漬して陽極処理することによって行なわれ、反応を速めるために、光13を照射する場合が多い。N型島領域となるべき部分7の表面は、シリコン酸化膜等14を選択的に被着形成しておき、陽極処理中にその表面が荒れるのを防ぐ(第2図A)。

この場合、シリコンの多孔質化は、酸化膜14の開孔部5のP型領域から始まり、深さ方向に進行し、P型領域2の底面に達すると横方向に進む。この際、多孔質化に寄与する電流の大部分は、P型領域2とN型基板1で構成されるPN接合の空乏層中で生成される光電流であり、そのほとんどは矢印12で示すような経路で流れる。しかしながら、多孔質化された領域8と基板1の間でも、低速ながらも多孔質化が進行するため、N型基板1の界面も多孔質化され、N型島領域7の下部で多孔質化層8がつながる時点では、N型島領域7の中央直下の多孔質シリコンの厚みと、開孔部5

6ページ

のその厚みの差は無視できない値となる(第2図A)。そして酸化を行なうと酸化膜10の厚みが不均一となりN型島領域7に凸状の歪を生じることになる(第2図B)。

また、N型島領域7の中央直下のP型領域15は光電流の通路を考えるとわかるように左右から進行してきた多孔質領域がつながった時点では完全には多孔質化されずに残り、その部分だけ酸化膜が薄くなるため、N型島領域7とN型基板1の耐圧を低下させる原因にもなっていた。

本発明は上記の問題点を解決しようとするものである。第3図A、Bを用いて本発明を説明する。

本発明では多孔質化すべきP型領域32、33に接し、N型基板31よりも不純物濃度の低いN型領域30を設け、しかも30に隣接したP型領域32の表面を陽極処理を行う際の電解液であるフッ化水素酸に対して耐性のある例えば窒化シリコン膜14で被うことを特徴としている(第3図A)。このようにして陽極処理を行なうと、多孔質化に寄与する光電流34のほとんどは空乏層の

7ページ
 広がりの大きいP型領域32、33とN型領域30とで形成されるP-N接合からのものとなり、N型島領域7直下での多孔質化は横方向に速く進む。N型基板31とN型領域30の不純物濃度を適当に選ぶことにより、N型基板31への多孔質化は極めて小さくすることができ、従ってN型島領域7の下記での多孔質化が従来例に比べてはるかに均一に行なわれるため、先に述べた二点の問題は解決される。もちろん、N型基板31への多孔質化が完全に除去されるのではないため、通常は、第2図に示したように酸化後表面に多少の凹凸が残る。しかしながら、N型島領域7はその凹凸の一つの斜面上に乗った状態となるので、島領域7にはほとんど応力は加わらない。そのため、このような島領域7に形成された集積回路は、絶縁分離による低リーク電流、低容量といった特性に基づいた、高速かつ低消費電力の特徴を備えたものとなる。

また、N型領域30の不純物濃度が、N型基板31の濃度に比べて大きい場合にも本発明の効果

8ページ
 は得られる。しかしながら、この場合、N型基板31への多孔質化速度は比較的大きくなるから、先に述べた表面の凹凸が大きくなる傾向がある。

本発明による絶縁分離されたN型島領域の製造工程の一実施例を第4図AからHにわたって示す。

まずN型シリコン基板50上にP型層51、N型層52をエピタキシャル成長にて設ける(同図A、B)。この場合、エピタキシャルによらずイオン打込み等の他の方法によってもよい。次に熱酸化してN型層52の表面に酸化膜を形成し、さらに上からCVD法等でシリコン窒化膜を形成し、窒化膜と酸化膜の2層構造膜53とする。これに写真食刻によって拡散窓54を開口する(同図C)。この拡散窓54から熱拡散またはイオン打込み等の方法でホウ素等のP型不純物を拡散し、N型エピタキシャル層52を横切ってP型エピタキシャル層51に達するようにする(同図D)。次に、N型島領域56とその周辺のP型領域および将来多孔質化を行なう際に開口部となる開口部54'をホトレジスト55で選択的に被い、リンのよう

9ページ
 なN型不純物をイオン打込みし、ホトレジストを除去した後アニールして、基板50よりも不純物濃度の低いN型領域57を形成する(同図E)。さらに、シリコン窒化膜等の隔壁処理の際にマスクとなる膜59でN型領域57とその周辺のP型領域60およびN型島領域58の一部を被い、光61を照射しつつ隔壁処理を行なう(同図F)。開口部54'より多孔質化が始まり、先の第3図A、Bを用いて説明したようにほぼ均一な多孔質領域62が得られる(同図G)。さらに、酸化雰囲気中で熱処理すれば、多孔質領域62は極めて短時間に酸化膜63となり、絶縁分離されたN型島領域56が得られる(同図H)。

先にも述べたように、このような工程を経て形成されたN型島領域56は、従来の製造方法によって形成された同様の製造のものに比べて、

- ① 結晶の歪が小さいので、キャリアの移動度が大きく、高速動作に適する。
- ② 島領域の周辺は完全に多孔質化され、絶縁膜となるため、シリコン基板との耐圧が大きく、

リーク電流が小さい。

- ③ シリコン基板表面が、比較的平坦となるから微細加工が可能である。

などの特徴がある。この他、光電流の発生源として形成されたN型領域(例えば、第3図57)はN⁺基板に達しているため、この領域にP型領域を形成し、保護ダイオードや拡散抵抗を形成することができ、シリコン基板を有効に利用することができる。

第5図に本発明による製造方法を用いて形成した絶縁分離された接合形FETを示す。P型領域の多孔質化の際の光電流源として形成したN型領域101にはP型領域102が形成され、ゲートと接続して、保護ダイオードとしている。多孔質酸化膜103に囲まれたN型島領域107には、N型のソース106及びドレイン104、P型のゲート105が形成され、接合形FETを構成している。本発明の方法で形成した本構造の素子は結晶の歪が小さいため電流担体の移動度μが大きく、しかも寄生容量が小さいため、高周波特性が

すぐれている。

このように、本発明の方法を用いれば、高性能の絶縁分離された素子から成る集積回路を比較的容易にしかも安価に生産することができる。

なお、本文中、多孔質シリコンを絶縁物に変成するにあたって、酸化をする場合について述べたが、アンモニアガス雰囲気中で高温（1000～1100℃）熱処理して窒化膜に変成することもできる。

4. 図面の簡単な説明

第1図A～Fは従来の多孔質化を用いたシリコン絶縁分離の方法を説明するための図、第2図A、Bは従来法の原理的説明図、第3図A、Bは本発明の原理的説明図、第4図A～Hは本発明による絶縁分離構造の製造方法の説明図、第5図は本発明方法を用いて形成した絶縁分離された半導体装置の断面図である。

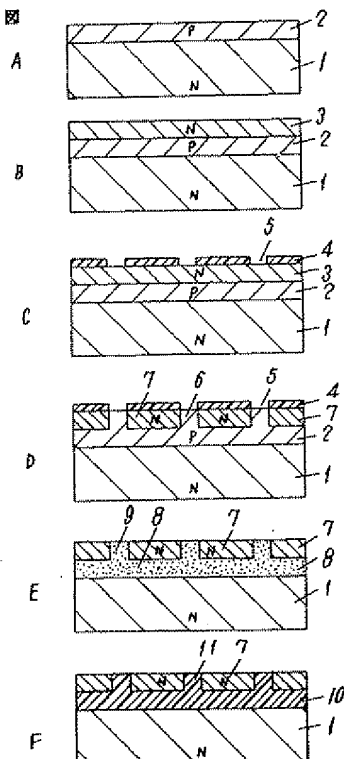
50……N型基板、53、59……耐フッ化水素酸性のある薄膜（例えばシリコン窒化膜等）、

57……多孔質化の際の光電流供給源となるN型

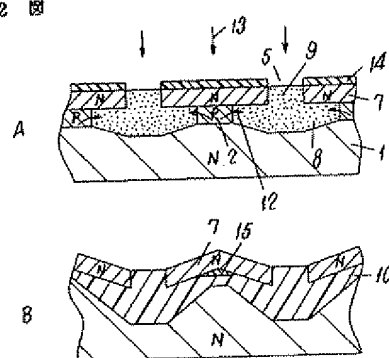
領域、58……N型島領域、60……多孔質層となるP型領域、63……シリコン酸化膜。

代理人の氏名 井田士 中 尾 敏 男 ほか1名

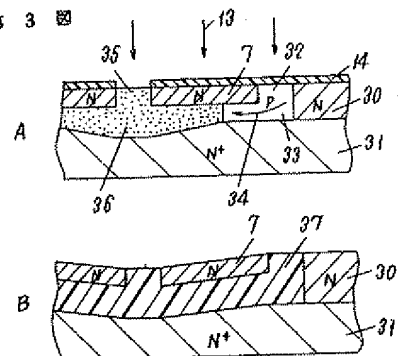
第 1 図



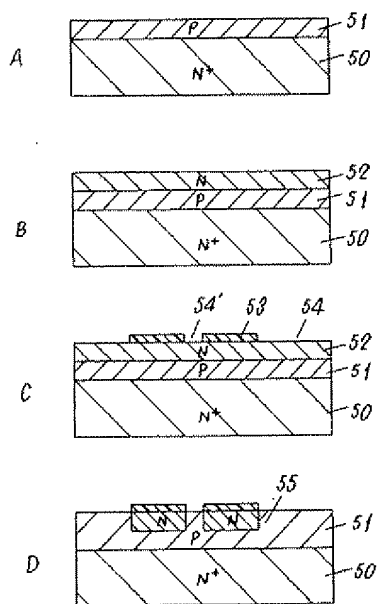
第 2 図



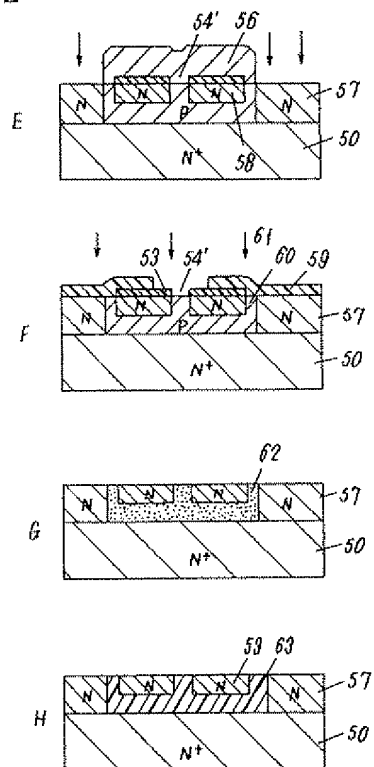
第 3 図



第 4 回



第 4 圖



第 5 题

